#2



IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant:

SHIDA et al.

Conf.:

Unknown

Appl. No.:

NEW

Group:

Unknown

Filed:

November 16, 2001

Examiner: Unassigned

For:

MPEG DATA RECORDER

LETTER

Assistant Commissioner for Patents Washington, DC 20231

November 16, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

Country

Application No.

Filed

Japan

2000-368420

December 4, 2000

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

#40,439

≠Michael K. Mutter, #29,680

P.O. Box 747

MKM/jeb 0925-0188P Falls Church, VA 22040-0747

(703) 205-8000

Attachment

(Rev. 10/31/01)

SHIDA et al.

ATTY DKEND. 0925-0188P

Filed 11-16-2001 2

Direct Stewart Kalasso

+ Bire (2 LLP

To 3 205-8000666

日本国特許 PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年12月 4日

出 願 番 号 Application Number:

特願2000-368420

出 類 人 Applicant (s):

三菱電機株式会社

CERTIFIED COPY OF PRIORITY DOCUMENT

2001年 1月19日

特許庁長官 Commissioner, Patent Office





特2000-368420

【書類名】

特許願

【整理番号】

527509JP01

【提出日】

平成12年12月 4日

【あて先】

特許庁長官 殿

【国際特許分類】

G06F 3/06

【発明者】

【住所又は居所】

東京都千代田区丸の内二丁目2番3号 三菱電機株式会

社内

【氏名】

志田 哲郎

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会

社内

【氏名】

綱島 健次

【発明者】

【住所又は居所】

東京都千代田区丸の内二丁目2番3号 三菱電機株式会

社内

【氏名】

小坂 英明

【特許出願人】

【識別番号】

000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100102439

【弁理士】

【氏名又は名称】 宮田 金雄

【選任した代理人】

【識別番号】 100092462

【弁理士】

【氏名又は名称】 高瀬 彌平 【手数料の表示】

【予納台帳番号】 011394

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 MPEGデータ記録装置

【特許請求の範囲】

【請求項1】 MPEGデータをリアルタイム伝送するデジタル伝送路からデータパケットを受信し、受信パケットから所定のMPEGデータを抽出してデータ信号として出力するインターフェース手段と、インターフェース手段からデータ信号が出力される有効データ期間に基づき、MPEGデータのデータレートを求めるデータレート検出手段と、求められたデータレートに基づき記録モードを選択する記録モード選択手段とを備えたことを特徴とするMPEGデータ記録装置。

【請求項2】 上記インターフェース手段は、データ信号の出力時に伝送制御信号を出力し、上記データレート検出部は、この伝送制御信号を検出することにより、有効データ期間の占める割合を求めることを特徴とする請求項1に記載のMPEGデータ記録装置。

【請求項3】 上記インターフェース手段は、所定データ量からなるMPEGパケットとしてデータ信号を出力するとともに、このMPEGパケットに同期して同期信号を出力し、データレート検出手段が、所定の検出対象期間に出力される同期信号をカウントし、このカウント値に基づきMPEGデータのデータレートを検出することを特徴とする請求項1に記載のMPEGデータ記録装置。

【請求項4】 上記データレート検出手段は、2以上の有効データ期間を含む所定の検出対象期間における有効データ期間を積算し、この積算値に基づきMPEGデータのデータレートを検出することを特徴とする請求項1、2又は3に記載のMPEGデータ記録装置。

【請求項5】 上記インターフェース手段は、IEEE1394リンクを介してアイソクロナス通信を行うIEEE1394インターフェース部であり、受信パケットから所定チャンネルのMPEGデータを抽出することを特徴とする請求項1、2又は3に記載のMPEGデータ記録装置。

【請求項6】 上記データレート検出手段は、2以上のアイソクロナス・サイクルを含む検出対象期間について、有効データ期間を積算し、この積算値に基づきMPEGデータのデータレートを検出することを特徴とする請求項5に記載のMP

EGデータ記録装置。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】

本発明は、MPEGデータ記録装置に係り、さらに詳しくは、データレートに応じて記録モードを選択し、IEEE1394等のデジタル伝送路を介してリアルタイム伝送されたMPEGデータを記録するMPEGデータ記録装置に関する。

[0002]

【従来の技術】

D-VHS (Digital-VHS) 記録装置を用いれば、記録媒体である磁気テープにデジタルデータを記録することができる。この場合、記録しようとするデータのデータレートが高くなるほどテープ消費量が多くなるので、D-VHS規格には、テープ走行速度が異なる複数種類の記録モードが規定されている。従って、データレートに応じて記録モードを選択すれば、適切なテープ速度を選択して磁気テープの使用(記録)効率を上げることができる。

[0003]

D-VHSの記録モードには、28.2Mbps (bit/sec) のHSモード、14.1MbpsのSTDモード、4.7MbpsのLS3モード、2.8MbpsのLS5モード等が規定されている。例えば、D-VHS記録装置にMPEGトランスポートストリーム (MPEG-TS) データを記録する場合に、記録するMPEG-TSデータのデータレートが4Mbpsであれば、LS5モードでは記録することができず、HSモードやSTDモードでは無益にテープを消費することになるので、LS3モードで記録することが望ましい。

[0004]

従来のD-VHS記録装置は、MPEG-TSデータを記録する際、MPEG-TSデータの最大 データレートを求めて記録モードを選択している。この最大データレートは、MP EG-TSに多重化されたディスクリプタ(記述子)を解析することにより求めるこ とができる。

[0005]

図12は、従来のMPEGデータ記録装置の構成例を示したブロック図であり、IE

特2000-368420

EE1394を介してリアルタイム伝送されたMPEG-TSデータを記録するD-VHS記録装置の概略構成が示されている。図中の1はIEEE1394インターフェース部、2はD-VHSデータ処理部、3はECC処理部、4はECC処理用のバッファメモリ、5は記録信号処理部、6は記録アンプ、7は記録ヘッド、8は磁気テープ、9はモータードライバ、10はMPEGシステム・レイヤ・デコード部、11はデコードメモリ、12は記録モード制御部である。

[0006]

IEEE1394インターフェース部 1 は、IEEE1394リンクと接続され、制御コマンド等のアシンクロナス (asynchronous) データや、MPEG-TS等のアイソクロナス (i sochronous) データの送受信を行う。インターフェース部 1 は、IEEE1394リンクを介してMPEG-TSデータを受信すると、そのMPEG-TSデータをD-VBSデータ処理部 2 及びMPEGシステム・レイヤ・デコード部 1 0 に供給する。

[0007]

インターフェース部1から出力されるMPEG-TSデータは、D-VHSデータ処理部2 においてフォーマット変換され、ECC処理部3において誤り訂正符号が付加され 、記録信号処理部5において所定の信号処理が施されて、記録アンプ6により増 幅された後、記録ヘッド7により磁気テープ8上に記録される。この磁気テープ 8の走行速度は、モータードライバ9が制御している。

[0008]

一方、インターフェース部1から出力されるMPEG-TSデータは、MPEGシステム・レイヤ・デコード部10において解析され、番組情報 (PSI) 及びサービス情報 (SI) が取り出される。デコードメモリ11は、MPEGシステム・レイヤ・デコード部10がPSI及びSIを解析する際にデータを一時展開するメモリである。記録モード制御部12は、デコード部10により解析されたPSI及びSIに基づきMPEG-TSのビットレートを検出して記録モードを選択する。D-VHS規格において、記録モードは磁気テープ8の走行速度により区別されるため、モータードライバ9は、選択された記録モードに対応するテープ走行速度となるように磁気テープ8を可変制御する。

[0009]

IEEE1394リンクから入力されるMPEG-TSデータの場合、データレートは様々な値を取る。例えば、BSデジタル放送の場合には、HDTV番組であれば26Mbps程度となるが、SDTV番組であれば6Mbps程度となる。また、CSディジタル放送の場合には、4Mbps程度から6Mbps程度の幅があり、さらに放送の1波に乗せられたMPEG-TSデータをそのまま記録する場合には20Mbps程度となる。これらの値は、MPEG-TS内部に格納されたディスクリプタと呼ばれる情報を検出し、解析することで直接的又は間接的に得ることができる。

[0010]

IEEE1394インターフェース1から入力されたMPEG-TSデータは、MPEGシステム・レイヤ・デコード部10に入力され、デコードメモリ11に展開され、多重された情報の分解処理(Demux処理)が行われる。その際、例えばMPEG-TSデータに多重されたPMT(Program Map Table)に挿入されたMaximum Bitrate Descriptorというディスクリプタを解析すれば、伝送されたMPEG-TSデータの最大データレート情報を得ることができる。このようにしてMPEGシステム・レイヤ・デコード部10が得たデータレート情報は、記録モード制御部13へ供給される。記録モード制御部13では、得られたデータレート情報を元にMPEG-TSデータを記録すべき最適な記録モードを選択し、モータードライブ9が、この記録モードに基づきテープ走行速度を調整する。

[0011]

【発明が解決しようとする課題】

従来のMPEGデータ記録装置は、MPEGシステム・レイヤ・デコーダを備え、当該デコーダを用いてIEEE1394リンクから入力されるMPEG-TSデータのデータレートを検知し、記録モードを選択している。つまり、記録モードの選択にはMPEGシステム・レイヤ・デコーダが必要となる。しかしながら、低価格のD-VHS装置の様に、当該デコーダを搭載しないMPEGデータ記録装置であれば、MPEG-TSデータのデータレートを検知することができず、記録モードを選択することが出来ないという問題があった。

[0012]

この様な記録装置の場合、入力されたMPEGデータのデータレートに関わらず、

特2000-368420

記録モードが設定されるため、データレートが最大である記録モード、例えばHS モードの28.2Mbpsで全てのMPEGデータを記録する必要がある。実際のMPEGデータのデータレートが低い場合、このような高データレートで記録を行うと、磁気テープ上に書き込まれたD-VHSフォーマットデータの大半が無意味な余剰(stuffing)データとなり、記録効率がはなはだ悪くなるという問題があった。

[0013]

本発明は、この様な課題を解消するためになされたもので、その目的はMPEGシステム・レイヤ・デコーダを用いることなく、簡便な回路構成により適切な記録モードを選択し、デジタル伝送路からリアルタイム伝送されるMPEGデータを効率よく記録するMPEGデータ記録装置を提供することを目的とする。

[0014]

【課題を解決するための手段】

本発明によるMPEGデータ記録装置は、MPEGデータをリアルタイム伝送するデジタル伝送路からデータパケットを受信し、受信パケットから所定のMPEGデータを抽出してデータ信号として出力するインターフェース手段と、インターフェース手段からデータ信号が出力される有効データ期間に基づき、MPEGデータのデータレートを求めるデータレート検出手段と、求められたデータレートに基づき記録モード選択手段とを備えて構成される。

[0015]

このMPEGデータ記録装置は、インターフェース手段からデータ信号が出力される有効データ期間を検出し、MPEGデータのデータレートを推定して記録モードを選択する。ここで、記録モードとは、MPEGデータのデータレートに応じて選択され得るMPEGデータ記録装置の動作モードである。また、このMPEG記録装置は、デジタル伝送路を介してリアルタイム伝送されたMPEGデータを記録可能な装置であればよく、MPEGデータ記録装置はD-VHS記録装置に限定されず、デジタル伝送路はIEEE1394リンクに限定されない。

[0016]

また、本発明によるMPEGデータ記録装置は、インターフェース手段が、データ 信号の出力時に伝送制御信号を出力し、データレート検出部が、伝送制御信号を

検出することにより、有効データ期間の占める割合を求める様に構成される。この伝送制御信号は、1又は2以上の信号からなり、データ信号に同期している基準クロック信号と他の信号により構成できるが、基準クロック信号を含む場合には限定されない。また、基準クロック信号に上記情報を重畳した信号であってもよい。

[0017]

また、本発明によるMPEGデータ記録装置は、インターフェース手段が、所定データ量からなるMPEGパケットとしてデータ信号を出力するとともに、このMPEGパケットに同期して同期信号を出力し、データレート検出手段が、所定の検出対象期間に出力される同期信号をカウントし、MPEGデータのデータレートを検出する様に構成される。

[0018]

また、本発明によるMPEGデータ記録装置は、データレート検出手段が、2以上の有効データ期間を含む検出対象期間について、有効データ期間を積算し、この積算値に基づきMPEGデータのデータレートを検出する様に構成される。

[0019]

また、本発明によるMPEGデータ記録装置は、インターフェース手段が、IEEE13 94リンクを介してアイソクロナス通信を行うIEEE1394インターフェース部であり、受信パケットから所定チャンネルのMPEGデータを抽出する様に構成される。

[0020]

また、本発明によるMPEGデータ記録装置は、データレート検出手段が、2以上のアイソクロナス・サイクルを含む検出対象期間について、有効データ期間を積算し、この積算値に基づきMPEGデータのデータレートを検出する様に構成される

[0021]

【発明の実施の形態】

実施の形態1.

図1は、本発明の実施の形態1であるMPEGデータ記録装置の一構成例を示した ブロック図である。図中の1はIEEE1394インターフェース部、2はD-VHSデータ 処理部、3はECC処理部、4はECC処理用のバッファメモリ、5は記録信号処理部、6は記録アンプ、7は記録ヘッド、8は磁気テープ、9はモータードライバ、12は記録レート制御部、13はデータレート検出部である。

[0022]

インターフェース部1は、MPEG-TSデータの出力中であることを示す伝送制御信号を出力し、データレート検出部13は、この伝送制御信号に基づいてMPEG-T Sのデータレートを検出する。記録レート制御部12は、このデータレートに基づき記録モードを選択し、モータードライバ9に通知する。このため、MPEGシステム・レイヤ・デコード部を有しなくても、MPEG-TSデータのデータレートに基づき、磁気テープ8の走行速度を可変制御することができる。

[0023]

インターフェース部1は、IEEE1394リンクと接続され、IEEE1394リンクに接続された他の機器、例えばBS又はCSデジタル放送用STB (Set Top Box) との間で、制御コマンド等のアシンクロナス (asynchronous) データや、MPEG-TS等のアイソクロナス (isochronous) データの送受信を行う。インターフェース部1は、IEEE1394リンクに接続されたMPEGデータ供給機器から、MPEG-TSデータを含むアイソクロナス・パケットを受信すると、この受信パケットからMPEG-TSデータを抽出し、D-VHSデータ処理部2へ供給する。また、MPEG-TSデータを出力する際、インターフェース1は、有効データの出力中であることを示す伝送制御信号をデータレート検出部13へ供給する。

[0024]

図2は、インターフェース部1の動作例の概略を説明するための説明図である。図中の(a)はIEEE1394リンクからの入力信号のタイムチャート、(b)はアイソクロナス・パケットの構成、(c)はアイソクロナスパケットのデータ・フィールドの構成、(d)はインターフェース部1が出力するデータ信号を示している。

[0025]

IEEE1394は、リアルタイム伝送のためのアイソクロナス通信と、非同期データ 伝送のためのアシンクロナス通信とを規定している。つまり、IEEE1394リンク上 にはアイソクロナス・パケットとアシンクロナス・パケットが混在しており、リアルタイム伝送されるMPEG-TSデータ等の映像信号は、アイソクロナス・パケットに格納されている。

[0026]

アイソクロナス通信は、一定間隔でサイクルマスターより送信されるサイクル・スタート・パケットに同期して1又は2以上のアイソクロナス・パケットを伝送することにより行われ、この周期はアイソクロナス・サイクルと呼ばれる(公称サイクル期間は125 µ sec)。2以上のチャンネルデータを伝送する場合には、アイソクロナス・ギャップを介してチャンネルごとのパケットが順次に伝送される。一方、アシンクロナス通信は、アイソクロナス通信の空き時間に行われる(図2(a)を参照)。

[0027]

アイソクロナス・パケットは、パケットヘッダ、ヘッダCRC (Cyclic Redundan cy Check character)、データフィールド及びデータCRCからなる。パケットヘッダには6ビットのチャンネル番号 (0~63) 等が格納され、ヘッダCRC及びデータCRCには、誤り訂正用の冗長コードが格納されている(図2(b)を参照)。インターフェース部1は、このパケットヘッダを解析して、チャンネル番号を判別し、予め指定された所定チャネルのパケットのみを選択的に受信する。

[0028]

データフィールドはCIP (Common Isochronous Packet) ヘッダとAVデータからなる。このAVデータとして映像及び音声データが格納され、CIPヘッダにはAVデータの属性が格納されており、この属性には、AVデータを再構築する際に必要となるデータが含まれる(図2 (c)を参照)。インターフェース部1は、CIPヘッダに基づいて、AVデータをつなぎ合わせてMPEG-TSを生成する。生成されたMPEG-TSデータは、188バイトのデータに8ビットの同期バイト(16進数の「47」)を付加したMPEG-TSパケットとして出力される。

[0029]

インターフェース部1は、この様にして、IEEE1394リンク上の伝送データからMPEG-TSデータを抽出し、データ信号としてD-VHSデータ処理部2へ出力する。こ

特2000-368420

の時、このデータ信号の基準となる基準クロック信号も出力する。また、上記データ信号が出力中であることを示す伝送制御信号をデータレート検出部 1 3 へ出力する。

[0030]

インターフェース部 1 から出力されるMPEG-TSデータは、D-VHSデータ処理部 2 において、D-VHS規格に準拠したデータフォーマット(D-VHSデータ)に変換され、ECC処理部 3 において、誤り訂正符号(ECC: Error Correction Code)が付加される。このECC処理は、フォーマット変換後のMPEG-TSデータをバッファメモリ4 に展開して行われる。ECCを付加されたD-VHSデータは、記録信号処理部 5 によりPRML信号処理等が施されて、磁気テープ上に記録可能な記録信号に変換される。この記録信号が記録アンプ 6 により増幅されて、記録ヘッド 7 により磁気テープ 8 上に記録される。この磁気テープ 8 の走行速度は、モータードライバ 9 が制御している。

[0031]

データレート検出部13は、インターフェース部1からの伝送制御信号に基づき、インターフェース部1からMPEG-TSデータが出力される有効データ期間と、出力されない無効データ期間を識別し、両者の合計期間における有効データ期間が占める比率を求め、この比率とインターフェース部1の信号伝送レート(MPEG-TS信号出力時の伝送レート)に基づき、IEEE1394リンクから入力されたMPEG-TSデータのデータレートを求める。

[0032]

MPEG-TSデータの伝送には、少なくともデータ信号と該データ信号の基準となるクロック信号(基準クロック)が必要となる。このため、データレート検出部13には、通常、インターフェース部1からMPEG-TSデータ信号とともに基準クロック信号が入力される。ただし、基準クロック信号が、データレート検出部13自身において生成される場合など、インターフェース部1以外において生成されている場合にはこの限りでない。

[0033]

インターフェイス部1が自ら生成する基準クロックによりMPEG-TSデータを出

力する場合、データレート検出部13は、周波数が既知の独自クロックでインターフェイス部1が生成する基準クロックをカウントするか、あるいは、インターフェイス部1が生成する基準クロックで、上記独自クロックをカウントすることにより、インターフェイス部1が生成する基準クロックの周波数を検知することができる。一方、データレート検出部13が、インターフェース部1に基準クロックを供給する場合には、データレート検出部13にとって基準クロックの周波数は既知である。

[0034]

基準クロックの周波数が求められ、あるいは、既知であれば、データレート検 出部13は、当該基準クロックを用いて、有効データ期間の長さと、無効データ 期間の長さを求め、有効及び無効データ期間の比率を計算することができる。す なわち、有効データ期間と無効データ期間をあわせた検出対象期間に占める有効 データ期間の比率は以下の式により与えられる。

[0035]

【数1】

[0036]

インターフェース部1の信号伝送レートは、基準クロックの周波数と、1クロック期間(通常は基準クロックの1周期)に伝送されるMPEG-TSデータのビット数(通常は伝送ビット幅)との積として与えられる。上記ビット数は、インターフェイス部1とD-VHSデータ処理部2の接続形態に依存する。例えば、一般的なシリアル接続をしている場合では、1クロック期間に伝送可能なデータは1ビットであり、8ビットのパラレル接続をしている場合には、1クロック期間に伝送可能なデータは8ビットとなる。従って、MPEGデータのデータレートは以下の式で与えられる。

【数2】

MPEG データのデータレート =

[0037]

データレート検出部13で計算されたMPEG-TSデータのデータレート情報は、 記録モード制御部12へ供給される。記録モード制御部12では、得られたデー タレート情報を基にMPEG-TSデータを記録すべき最適な記録モードを選択し、モ ータードライブ9、D-VHSデータ処理部2及び記録信号処理部5に対し、モード 制御信号を出力する。

[0038]

D-VHSデータ処理部 2 は、モード制御信号に基づき、D-VHSデータフォーマット中の記録モードを示すエリアに選択された記録モードのコードを挿入する。記録信号処理部 5 は、モード制御信号に基づき記録信号の基準周波数を調整する。モータドライブ 9 は、モード制御信号に基づき、選択された記録モードに対応する走行速度となる様に磁気テープ 8 を駆動制御する。

[0039]

本実施の形態によれば、インターフェース部1が、MPEG-TSデータの出力中であることを示す伝送制御信号を出力し、この伝送制御信号に基づいてMPEG-TSのデータレートを検出し、このデータレートに応じて、記録時の記録モードを切り替えることにより、記録テープを有効に使用することができる。

[0040]

なお、本実施の形態における伝送制御信号は、1又は2以上の信号からなり、 データ信号に同期している基準クロック信号と他の信号により構成することでき るが、基準クロック信号を含む場合には限定されない。また、基準クロック信号 に上記情報を重畳した信号であってもよい。

[0041]

また、データレート検出部13からのデータレートに基づき、記録モード制御 部12が記録モードを決定する際、記録に伴い付加される制御情報やトリックプ レイ用データ等を考慮して、各記録モードのデータレート上限値に対してある程度のマージンを設けてモード選択を行うことが望ましい。また、検知したデータレートの精度や、可変レートの変動幅等を加味して考慮することにより、設けるマージンの量を決めるることもできる。例えば、STBモード(最大14.1Mbps記録可能)の場合、11~12Mbps程度を最大記録量と見なしてモード選択を行うことが望ましい。

[0042]

実施の形態2.

図3は、本発明の実施の形態2であるMPEGデータ記録装置の一構成例を示したブロック図であり、図2のデータレート検出部13の一構成例について説明するためのものである。本実施の形態によるデータレート検出部13は、有効信号カウンタ14と、データレート計算部15からなる。有効信号カウンタ14は、有効データ期間の長さと無効データ期間の長さをカウントし、データレート計算部15は、これらのカウント値の比率に基づいてMPEG-TSデータのデータレートを求める。

[0043]

図4は、図3の要部を示したブロック図であり、インターフェース部1、D-VH Sデータ処理部2、有効信号カウンタ14間の信号を示している。インターフェース部1から出力されるMPEG-TSデータは、データ信号DATA、基準クロック信号C LK及びデータ有効信号DVALIDにより伝送され、これらの信号がインターフェース部1からD-VHSデータ処理部2及び有効信号カウンタ14に対し出力される。

[0044]

図5は、図4に示した各信号の一例を示したタイミングチャートである。データ信号DATAは、MPEG-TSデータを伝送するための信号であり、断続的にMPEG-TSデータが出力される。基準クロック信号CLKは、データ信号DATAの基準となるクロック信号であり、データ信号DATAの検出タイミングを与えるものである。データ有効信号DVALIDは、データ信号DATAの有効性を示す信号であり、データ信号DATAとしてMPEG-TSデータが出力されている期間(有効データ期間)と、それ以外の期間(無効データ期間)とを識別するための信号である。従って、D-VHSデータ

処理部2は、基準クロック信号CLK及びデータ有効信号DVALIDを用いることにより、受信したデータ信号DATAからMPEG-TSデータを得ることができる。

[0045]

有効信号カウンタ14は、データ有効信号DVALIDによって示される有効データ期間と無効データ期間において入力される基準クロック信号CLKのクロック数をそれぞれカウントし、有効データ期間長と無効データ期間長を求め、データレート計算部15に出力する。

[0046]

また、有効信号カウンタ14は、基準クロック信号CLKの周波数を検知して、データレート計算部15に出力する。例えば、より高い既知の周波数を有するクロック信号を用いて、基準クロック信号CLKをカウントすることにより、あるいは、基準クロック信号CLKを用いて、より低い既知の周波数を有するクロック信号をカウントすることにより、基準クロック信号CLKの周波数を求めることができる。ただし、基準クロックCLKの周波数が既知の場合、例えば、データレート検出部13からインターフェース部1へ基準クロックを供給している場合には、データレート検出部13において基準クロック信号CLKの周波数を検出する必要はない。

[0047]

データレート計算部 1 5 は、有効データ期間長と無効データ期間長を示す基準 クロック信号CLKのカウント数の比率の情報と、基準クロック信号CLKの周波数情 報に基づき、以下の式によりMPEG-TSデータのデータレートを計算する。

[0048]

【数3】

MPEGデータのデータレート =

[0049]

以上のように、本実施の形態によれば、データ有効信号DVALIDに基づき、有効

データ期間長と無効データ期間長を検出し、有効データ期間が検出対象期間に占める比率を求めることによって、MPEG-TSデータのデータレートを算出することができる。従って、MPEGシステム・レイヤ・デコーダを備えることなく、適切な記録モードを選択して記録テープを有効に使用することができる。

[0050]

実施の形態3.

図6は、本発明の実施の形態3であるMPEGデータ記録装置の一構成例を示した ブロック図であり、図2のデータレート検出部13の他の構成例について説明す るためのものである。本実施の形態によるデータレート検出部13は、基準クロ ックカウンタ16と、データレート計算部15からなる。

[0051]

図7は、図6の要部を示したブロック図であり、インターフェース部1、D-VHSデータ処理部2、基準クロックカウンタ16間の信号を示している。インターフェース部1から出力されるMPEG-TSデータは、データ信号DATA及び基準クロック信号CLKにより伝送され、これらの信号がインターフェース部1からD-VHSデータ処理部2及び基準クロックカウンタ16に対し出力される。

[0052]

図8は、図7に示した各信号の一例を示したタイミングチャートである。基準 クロック信号CLKは、データ信号DATAの基準となるクロック信号であり、有効データ期間にのみ出力され、無効データ期間には出力されない。従って、D-VHSデータ処理部2は、基準クロック信号CLKをストローブ信号として用いることにより、受信したデータ信号DATAからMPEG-TSデータを得ることができる。

[0053]

基準クロックカウンタ16は、基準クロック信号CLKの有無に基づき、基準クロック信号CLKが存在しデータ信号DATAが有効である期間と、基準クロック信号が存在せずデータ信号DATAが無効である期間とを検出する。この場合、基準クロック信号から再生した再生クロック又は基準クロックとは別のクロックを用いて、有効データ期間長と無効データ期間長をクロック数としてそれぞれ検出する。

[0054]

また、基準クロックカウンタ16は、上記クロック数の検出に用いられた再生 クロック又は別クロックの周波数を検知し、この周波数情報をデータレート計算 部15へ出力する。

[0055]

データレート計算部 1 5 は、有効データ期間長と無効データ期間長を示すカウント数の比率の情報と、カウント数を求めるために用いたクロックの周波数情報に基づき、以下の式によりMPEG-TSデータのデータレートを計算する。

[0056]

【数4】

MPEGデータのデータレート =

[0057]

以上のように、本実施の形態によれば、基準クロック信号に基づき、有効データ期間長と無効データ期間長を検出し、有効データ期間が検出対象期間に占める 比率を求めることによって、MPEGーTSデータのデータレートを算出することがで きる。従って、MPEGシステム・レイヤ・デコーダを備えることなく、適切な記録 モードを選択して記録テープを有効に使用することができる。

[0058]

実施の形態4.

図9は、本発明の実施の形態4であるMPEGデータ記録装置の一構成例を示した ブロック図であり、図2のデータレート検出部13の他の構成例を説明するため のものである。本実施の形態によるデータレート検出部13は、同期信号検出部 17と、データレート計算部15からなる。同期信号検出部17は、有効データ 期間内の同期信号数をカウントしている。

[0059]

図10は、図9の要部を示したブロック図であり、インターフェース部1、D-VHSデータ処理部2、同期信号検出部17間の信号を示している。インターフェ ース部1から出力されるMPEG-TSデータは、データ信号DATA、基準クロック信号CLK、データ有効信号DVALID及び同期信号PSYNCにより伝送され、これらの信号がインターフェース部1からD-VHSデータ処理部2及び同期信号検出部17に対し出力される。

[0060]

図11は、図10に示した各信号の一例を示したタイミングチャートである。 基準クロック信号CLK、データ有効信号DVALID及びデータ信号DATAは、実施の形態2の場合と同様である。同期信号PSYNCは、インターフェース部1からMPEG-TSデータの同期バイトが出力される出力タイミングを示す信号である。

[0061]

IEEE1394のアイソクロナス通信では、アイソクロナス・サイクルごとに各チャンネルのデータ伝送が行われることは上述したが、1つのアイソクロナス・サイクルにおいて同一チャンネルのデータ転送は1回しか行われない。このため、1回のアイソクロナス・サイクル中に有効データ期間は1回しかない。

[0062]

また、MPEG-TSパケットのデータ長は、188バイトであるため、1回の同期信号 ごとに188バイトのMPEG-TSデータが存在すると計算できる。従って、有効データ 期間内の同期信号数を検出することによって、MPEG-TSデータのデータレートを 算出することが出来る。

[0063]

同期信号検出部17は、データ有効信号DVALIDに基づいて、有効データ期間を 検出するとともに、当該有効データ期間における同期信号PSYNCを検出し、1回 の有効データ期間中の同期信号数をカウントする。このカウント値をデータレー ト計算部15へ出力する。

[0064]

インターフェース部1が1チャンネルのみを選択的に受信している限り、1回のアイソクロナスサイクル中に有効データ期間は1回しかないため、データレート計算部15は、同期信号検出部17からのカウント値に基づき、以下の式によりMPEG-TSデータのデータレートを求めることが出来る。

[0065]

【数5】

 $MPEG \vec{r} - 90\vec{r} - 9 \nu - 1 = 0$

_ (回の有効データ期間中の同期信号数) × (1 個のMPEG - TSバケットのデータ長) (isochronou s cycleの期間)

_ <mark>(</mark>回の有効データ期間中の同期信号数) 125 µsec

[0066]

以上のように、本実施の形態によれば、有効データ期間中に存在する同期バイトをカウントすることにより、MPEG-TSデータのデータレートを算出することができるので、簡単な回路構成により、記録テープを有効に使用することができる

[0067]

なお、本実施の形態では、同期信号検出部17がインターフェース部1から供給される同期信号PSYNCを検出する場合について説明したが、データ信号DATA中の同期バイトを同期信号検出部17が直接検出する構成であってもよい。この場合、D-VHSデータ処理部2及びデータレート検出部13が、ともに同期バイトを検出できれば、同期信号PSYNCを省略することもできる。

[0068]

また、基準クロック信号CLKは、実施の形態3と同様、有効データ期間にのみ出力されるものであってもよい。この場合、D-VHSデータ処理部2及びデータレート検出部13は、基準クロック信号の存在により有効データ期間を認識できるため、データ有効信号DVALIDを省略することもできる。

[0069]

実施の形態5.

実施の形態1~3では、1組の有効データ期間長と無効データ期間長を検出し、MPEG-TSデータのデータレートを求める場合について説明したが、実施の形態 5では、有効データ期間と無効データ期間の一組よりも長い時間幅において有効 データ期間長と無効データ期間長をそれぞれ積分し、MPEG-TSデータのデータレ ートを検出する場合について説明する。

[0070]

本発明の実施の形態 5 によるMPEGデータ記録装置の概略構成は、図3 又は図6 と同様である。また、有効信号カウンタ14、基準クロックカウンタ16の構成、動作は実施の形態2、3 の場合と同様であり、データレート計算部15 のみが異なる。

[0071]

データレート計算部15は、ある一定時間内に連続して繰り返される有効データ期間と無効データ期間の長さをそれぞれ合計有効データ期間及び合計無効データ期間として積算する。つまり、各有効データ期間の間に挟まった無効期間を飛び越えて、一定時間内における有効データ期間のみを合算した合計有効データ期間と、各無効期間の間に挟まった有効期間を飛び越えて、前記一定時間内における無効データ期間のみを合算した合計無効データ期間を計算し、一定時間内における合計有効データ期間と合計無効データ期間の長さの比率を計算する。従って、有効データ期間と無効データ期間の組み合わせ一組分よりも長い時間幅で有効データと無効データの比率を計算し、MPEG-TSデータのデータレートを算出することができる。

[0072]

合計有効データ期間と合計無効データ期間をあわせた検出対象期間に占める合 計有効データ期間の比率は、以下の式で与えられる。

【数 6】

[0073]

クロック信号の1クロック時間に伝送するデータのビット数は、インターフェース部1とD-VHSデータ処理部2とデータレート検出部13の接続形態に依存するので、MPEG-TSデータのデータレートは以下の式で与えられる。

【数7】

[0074]

以上のように、本実施の形態によれば、一定時間内における合計データ有効期間と合計データ無効期間の比率を計算し、この比率に基づきMPEG-TSデータのデータレートを算出することができる。従って、より高い精度でMPEG-TSデータのデータレートを算出することができ、記録テープを有効に使用することができる

[0075]

なお、本実施の形態では、データレート計算部15が、有効データ期間及び無効データ期間に基づく演算を行って合計有効データ期間及び合計無効データ期間を求める場合を例に説明したが、図3の有効信号カウンタ15又は図6の基準クロックカウンタ16が、合計有効データ期間及び合計無効データ期間を求める様に構成してもよい。

[0076]

実施の形態 6.

実施の形態6では、実施の形態4と5を組み合わせた場合について説明する。

即ち、実施の形態4と同様の同期信号検出を行う場合において、有効データ期間と無効データ期間の一組よりも長い時間幅において有効データ期間長と無効データ期間長をそれぞれ積算し、MPEG-TSデータのデータレートを検出する場合について説明する。

[0077]

本発明の実施の形態6によるMPEGデータ記録装置の概略構成は、図9と同様である。また、同期信号検出部17の構成、動作は実施の形態4の場合と同様であり、データレート計算部15の動作は実施の形態5の場合と同様である。

[0078]

同期信号はMPEG-TSパケットごとに存在し、1個のMPEG-TSパケットのサイズは 188バイトであるから、検出対象となる一定時間内に検出された同期信号数に188 を乗じた数が、一定時間内に存在するMPEG-TSデータのバイト数である。

[0079]

【数8】

[0080]

MPEG-TSデータのデータレートは、検出されたデータ量を検出対象である上記 一定時間で除して得られるので以下の式で与えられる。

【数9】

$$MPEGデータのデータレート = 検出された同期信号数 \times 188 検出を行った時間$$

[0081]

ここで、検出を行う時間(上記一定時間)は任意の時間であるが、1回のアイソクロナス・サイクル周期である125 μ secより大きな値である必要があり、また、アイソクロナス・サイクル周期の整数倍の時間を用いることにより、有効データの伝送データレートを計算しやすくすることができる。

[0082]

以上のように、本実施の形態によれば、同期信号検出を行う場合であっても、 一定時間内における合計データ有効期間と合計データ無効期間の比率を計算し、 この比率に基づきMPEG-TSデータのデータレートを算出することができる。

[0083]

【発明の効果】

本発明によるMPEGデータ記録装置は、MPEGシステム・レイヤ・デコーダにより MPEGデータのPSI及びSIを解析することなく、MPEGデータのデータレートを検出 して、最適な記録モードによりMPEGデータを記録することができる。従って、記録効率を大きく低下させることなく回路構成を簡略化でき、記録効率の高いMPEG

データ記録装置を安価に提供することができる。

[0084]

本発明によるMPEGデータ記録装置は、連続して繰り返される有効データ期間と無効データ期間の長さを、一定期間積分して比率を計算し、有効データの伝送レートを算出するので、IEEE1394インターフェースから出力される有効データに時間的な偏りがある場合でも、有効データの伝送レートを正確に算出することができるという効果がある。

【図面の簡単な説明】

- 【図1】 本発明の実施の形態1であるMPEGデータ記録装置の一構成例を示したブロック図である。
- 【図2】 図1のインターフェース部1の動作例の概略を説明するための説明図である。
- 【図3】 本発明の実施の形態2であるMPEGデータ記録装置の一構成例を示したブロック図である。
 - 【図4】 図3の要部を示したブロック図である。
 - 【図5】 図4に示した各信号の一例を示したタイミングチャートである。
- 【図6】 本発明の実施の形態3であるMPEGデータ記録装置の一構成例を示したブロック図である。
 - 【図7】 図6の要部を示したブロック図である。
 - 【図8】 図7に示した各信号の一例を示したタイミングチャートである。
- 【図9】 本発明の実施の形態4であるMPEGデータ記録装置の一構成例を示したブロック図である。
 - 【図10】 図6の要部を示したブロック図である。
 - 【図11】 図7に示した各信号の一例を示したタイミングチャートである
 - 【図12】 従来のMPEGデータ記録装置の構成例を示したブロック図である

【符号の説明】

1 インターフェース部、

2 D-VHSデータ処理部

特2000-368420

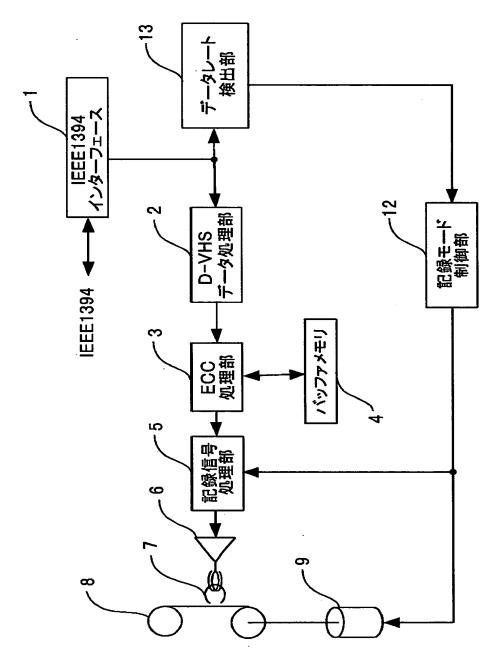
- 3 ECC処理部、
- 5 記録信号処理部、
- 7 記録ヘッド、
- 9 モータードライバ、
- 11 デコードメモリ、
- 13 データレート検出部、
- 15 データレート計算部、
- 17 同期信号検出部

- 4 バッファメモリ
- 6 記録アンプ
- 8 磁気テープ
- 10 MPEGシステムレイヤデコード部
- 12 記録レート制御部
- 14 有効信号カウンタ
- 16 基準クロック・カウンタ

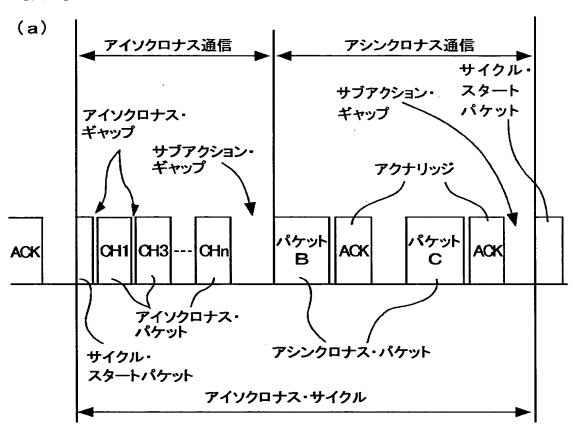
【書類名】

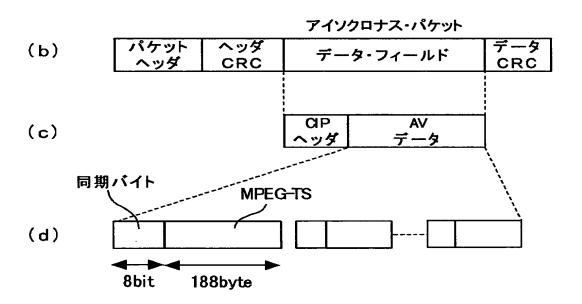
図面

【図1】

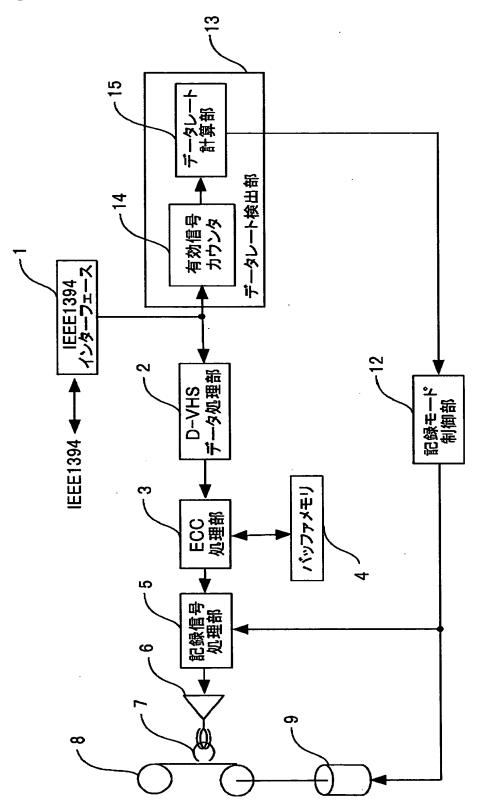


【図2】

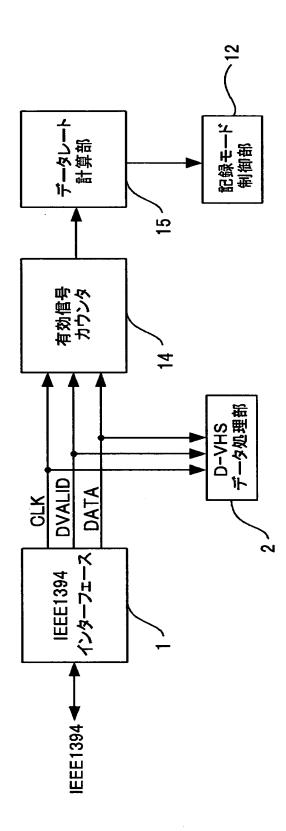




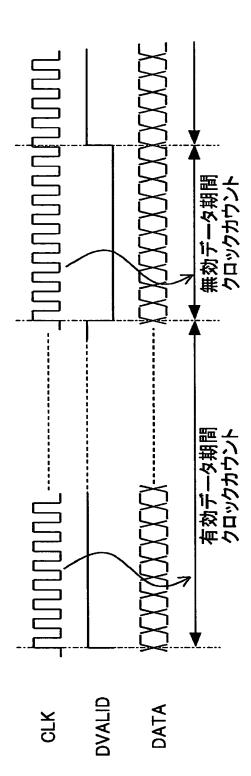
【図3】



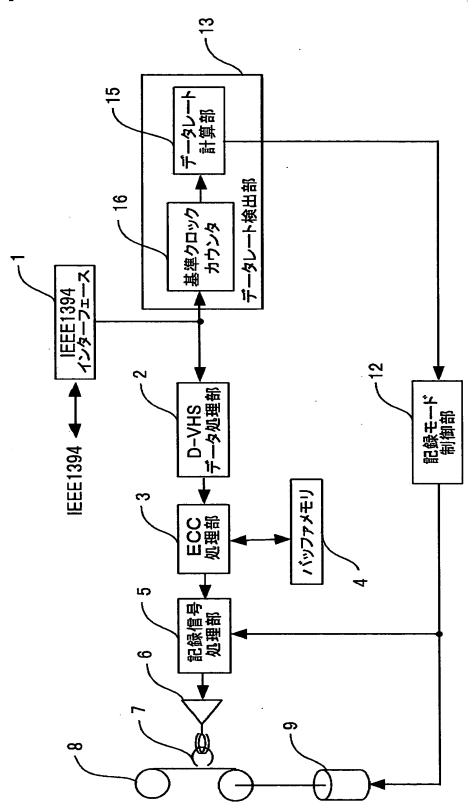
【図4】



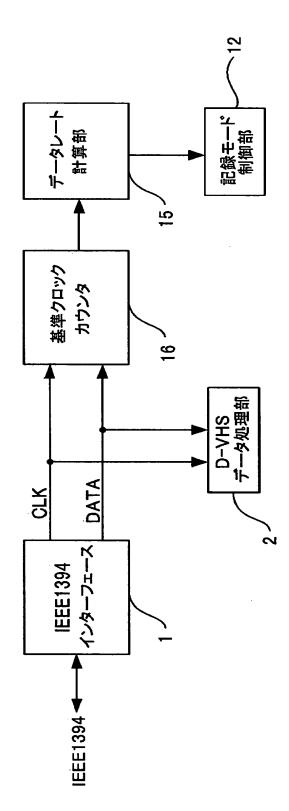
【図5】



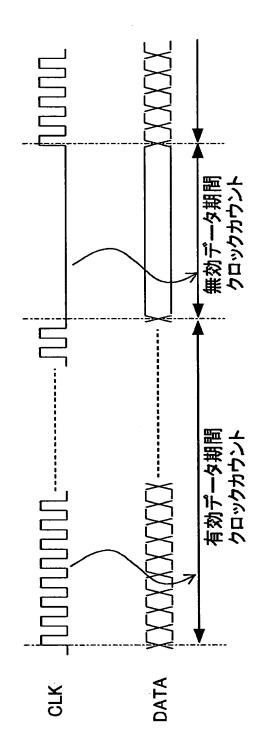
【図6】



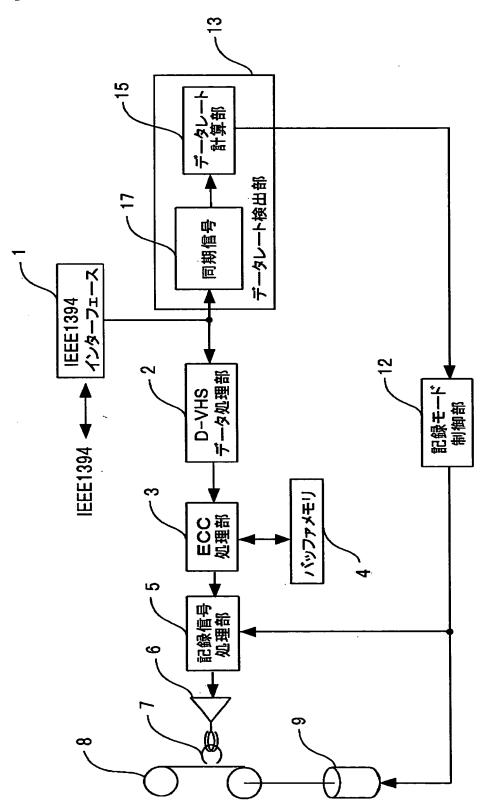
【図7】



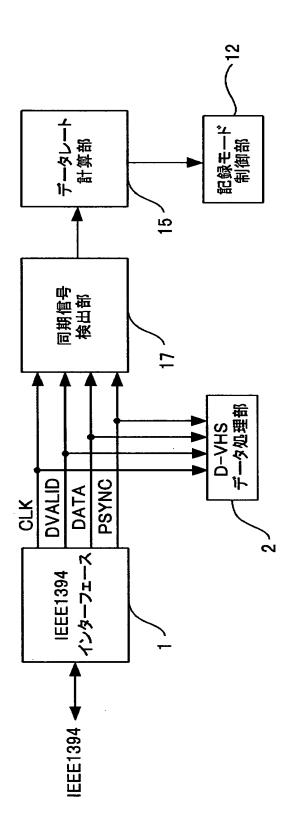
【図8】



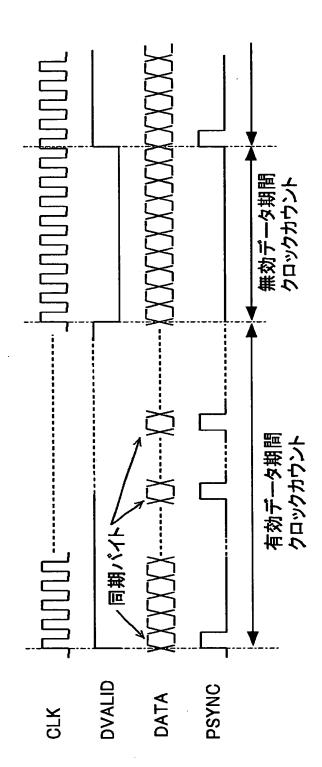
【図9】



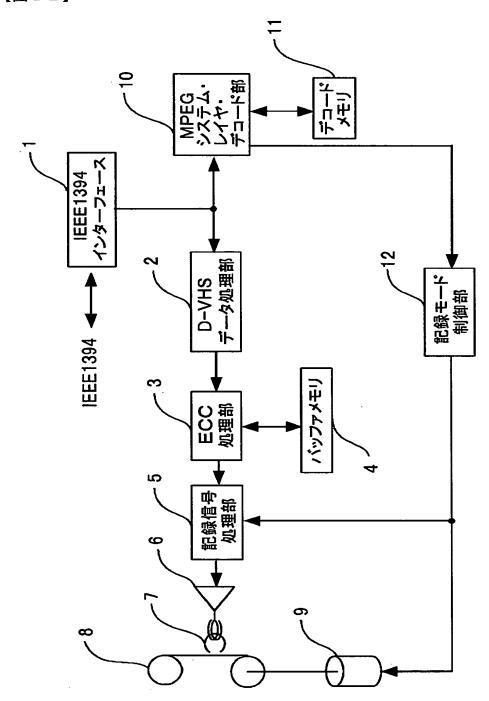
【図10】



【図11】



【図12】



【書類名】

要約書

【要約】

【課題】 MPEGシステム・レイヤ・デコーダを用いることなく適切な記録モード を選択して、MPEGデータを効率よく記録する。

【解決手段】 MPEGデータをリアルタイム伝送するデジタル伝送路からデータパケットを受信し、受信パケットから所定のMPEGデータを抽出してデータ信号として出力するインターフェース手段と、インターフェース手段からデータ信号が出力される有効データ期間に基づき、MPEGデータのデータレートを求めるデータレート検出手段と、求められたデータレートに基づき記録モードを選択する記録モード選択手段とを備える。

【選択図】

図3

出願人履歴情報

識別番号

[000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社